

2019.8.30 第1回トリリオンノード研究会

NEDO事業:「AIチップ開発加速のためのイノベーション推進事業」

AIチップ設計拠点

産業技術総合研究所

内山邦男

(AIチップ設計拠点 推進責任者)

拠点構築の目的

- ✓ 我が国では、ベンチャー企業等を中心に、AIチップを基にした新たなビジネスを創出させる種が多数存在。
- ✓ 一方、AIチップ設計には、高額なEDAツールやIP、検証装置(エミュレータ等)が必要であり、これらがビジネス化に向けた高いハードルとなっている。
- ✓ AIチップ設計に必要な設計・検証環境を整備し、イノベーション実現のためのAIチップ開発を加速する。

革新的AIチップ のアイデア

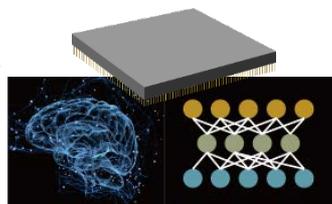


高額なEDAツール、
IP、検証装置が必要

高いハードル

国内中小企業
ベンチャー企業

AIチップ プロトタイプ試作



学習、推論、認識を
低電力かつ高速に

超スマート社会 (Society5.0) の実現

- ・次世代モビリティ
自動運転, 無人配送, ...
- ・次世代ヘルスケア
AI診断, 自動モニタリング, ...
- ・次世代サプライチェーン
スマート保安, 無人工場, ...
- ・農林水産業スマート化
無人農業車両, 水中ドローン, ...
- ・FinTech

AIチップ設計拠点

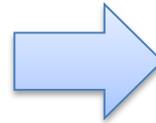
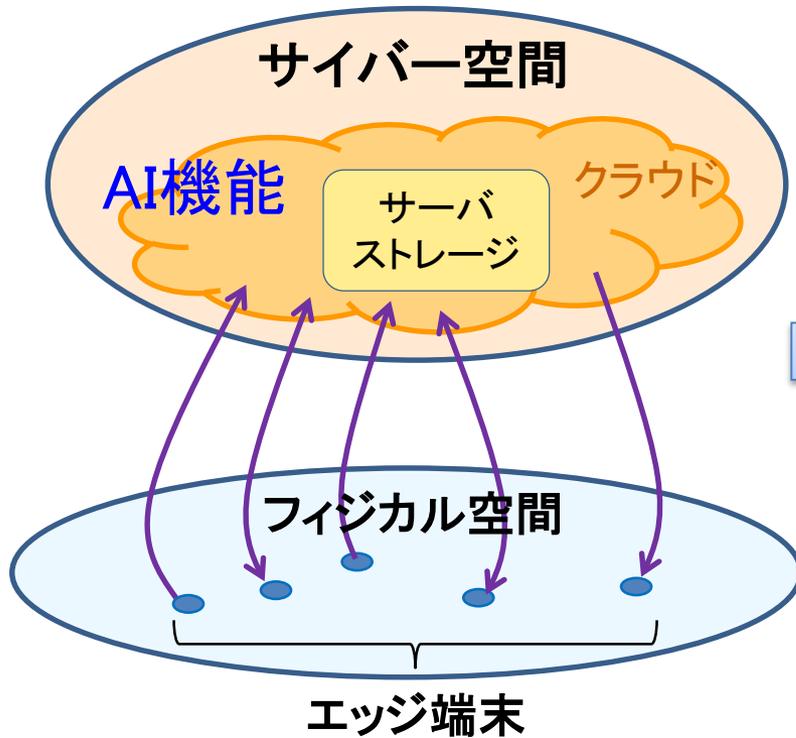
超スマート社会を実現する事業モデル

出典：日本工学アカデミー報告書

「2030年の超スマート社会に向けた次世代計算機技術戦略」

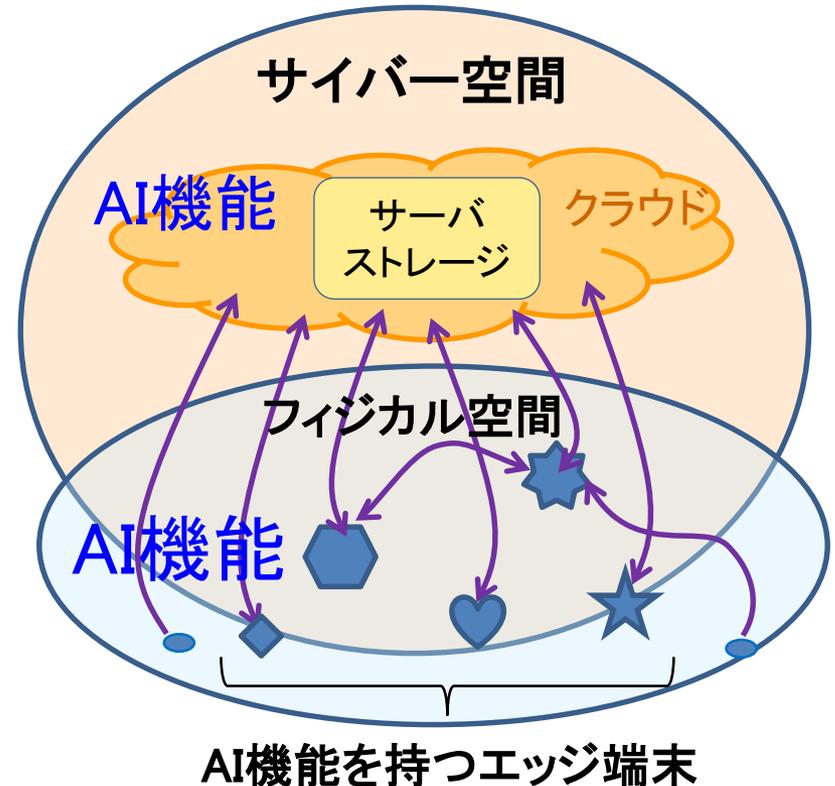
現状

クラウド集中システム

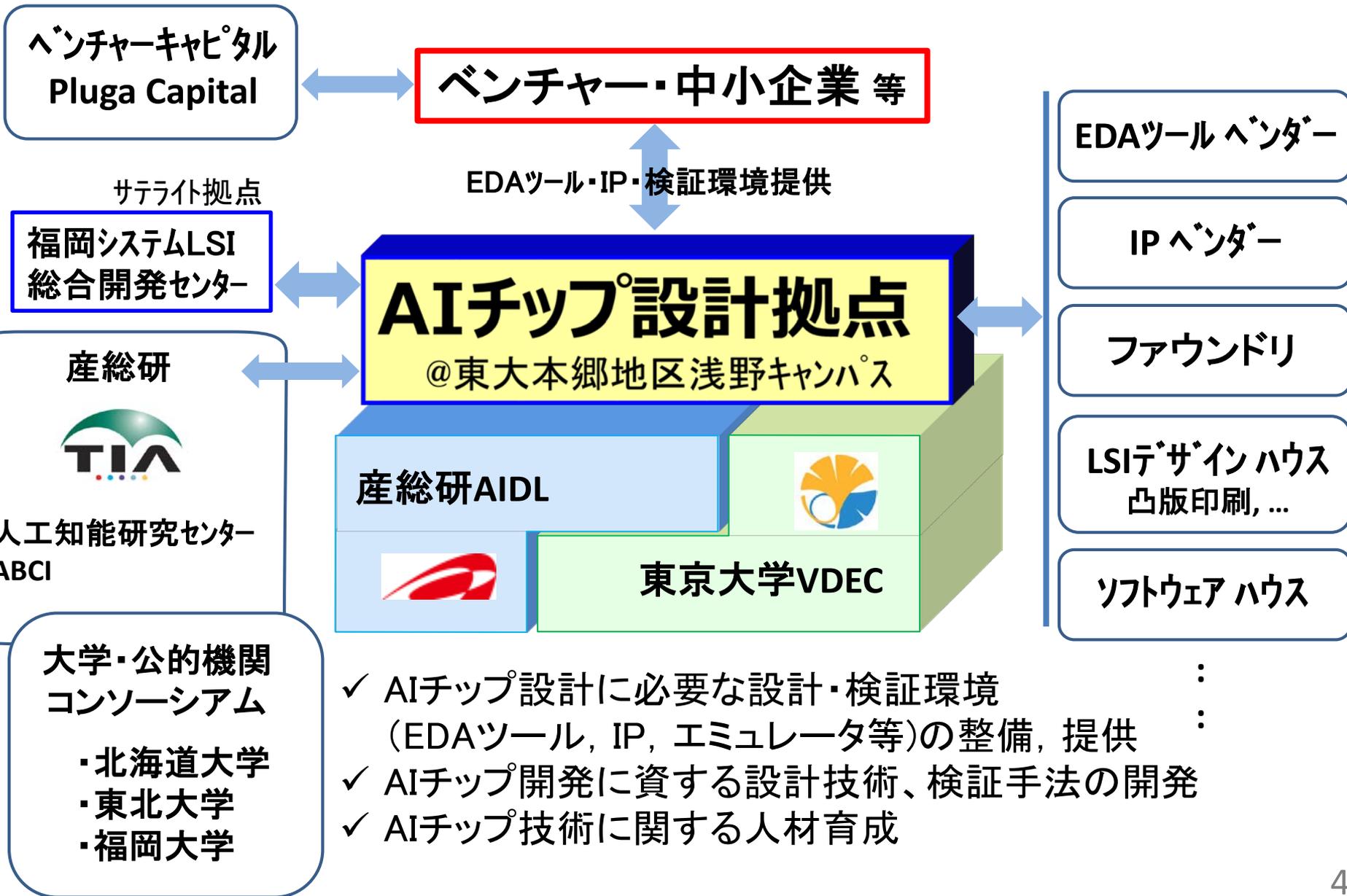


今後

実世界分散型システム

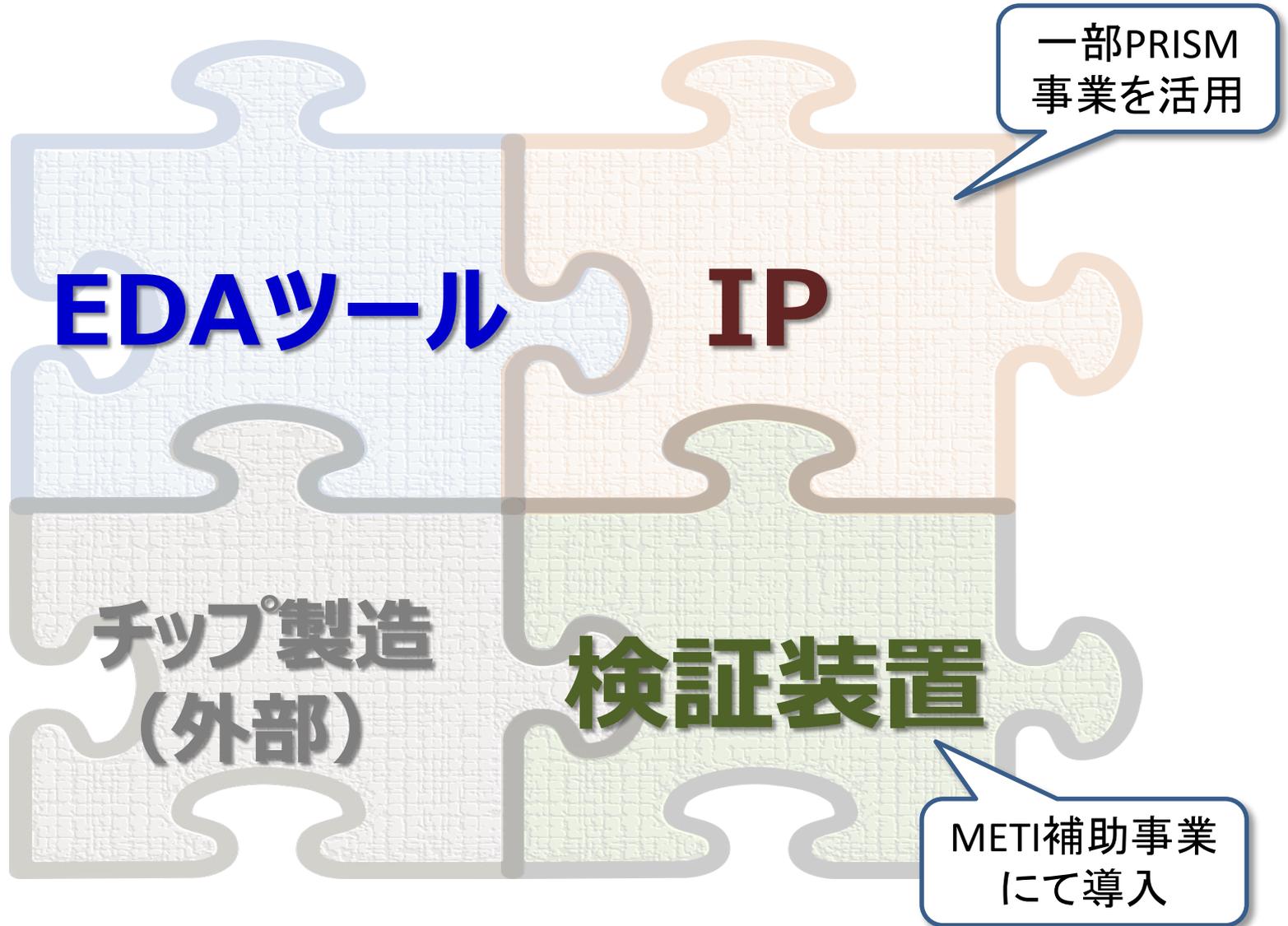


拠点の体制・運営



- ✓ AIチップ設計に必要な設計・検証環境 (EDAツール, IP, エミュレータ等)の整備, 提供
- ✓ AIチップ開発に資する設計技術、検証手法の開発
- ✓ AIチップ技術に関する人材育成

拠点での整備



EDAツール

High-level Synthesis

- C++, SystemC, CvsRTL, PropertyCheck

Logic Synthesis

- Power, Viewer, DFT, PowerOpt

Logic Verification and Static Timing

- Verilog+VHDL, Formal, Power, Timing, AMBAmodel, Assertion, Coverage

Place&Route and Physical Verification

- Floorplan_w_AutoRoute, LVS, DRC, 3D-Ext, Multi-PatternYield, LFD

Schematic and Layout Editor

- AutoRoute, Viewer, Interpreter

Circuit Simulator

- SPICE, MixedSignal_w_Logic, PowerAnalysis

IP

Licensed IPcore

Production Proven IP, more than silicon proven

MCU: for RToS

- SingleCore, DSP, FPU
- USB, MIPI, I2C, UART, SPI
- ADC/DAC, StdCell, SRAM, ROM

CPU: for Linux

- Dual Core, DMAC
- SDMI, I2C, UART, SPI, GPIO
- DDR, PCIe, USB, MIPI
- ADC/DAC, StdCell, SRAM, ROM

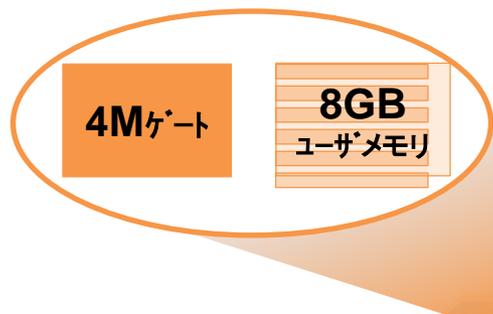
Security

エミュレータの概要

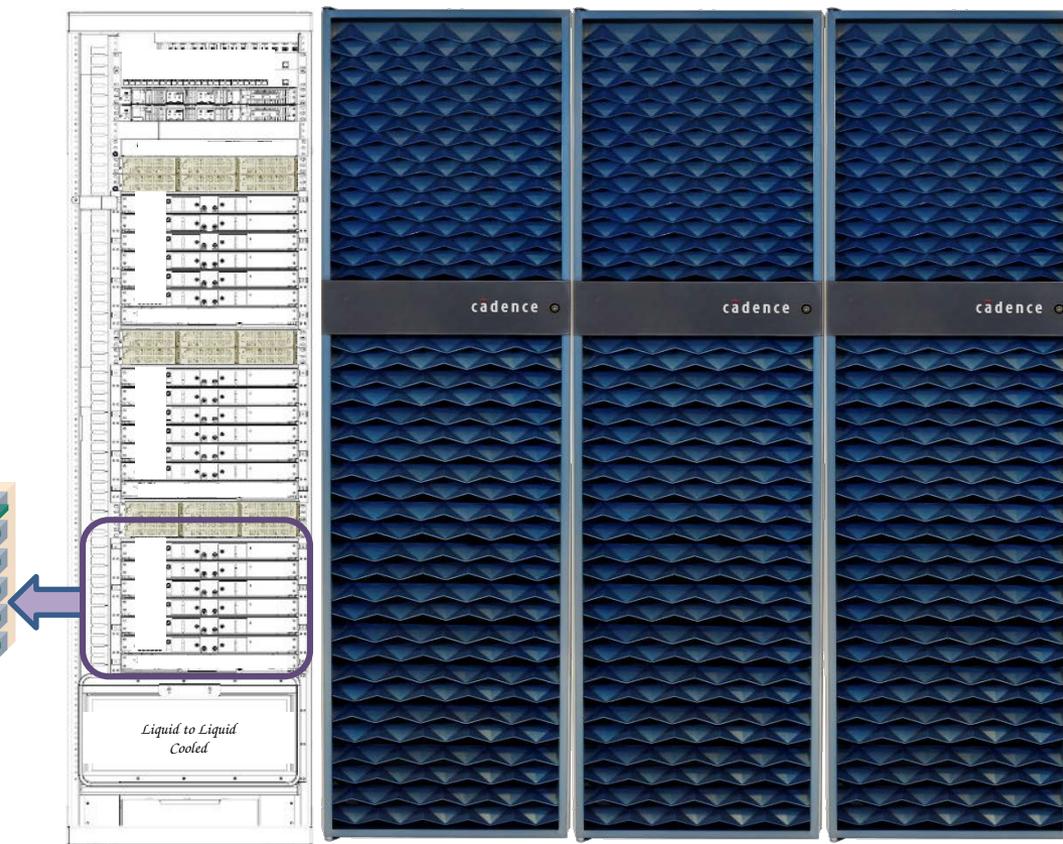
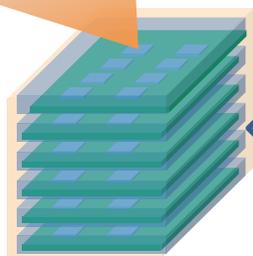
Palladium Z1

- ・容量: 23億ゲート, 4.6Tバイト(ユーザメモリ), 4.6Tバイト(デバッグメモリ)
- ・エミュレーション速度: 最大4MHz, コンパイル速度: 140Mゲート/時

最小利用単位(ドメイン)



8ドメイン/ボード
18ボード/ラック
576ドメイン/システム



エミュレータ写真提供: ケイデンス社

エミュレータの活用例

Server

Palladium Z1

x86仮想環境

PCI (検証IP)

USB (検証IP)

消費電力解析

AIチップ^o

PCIe
制御

CPU

AI
アクセラレータ

周辺回路

AMBAバス (検証IP)

USB
制御

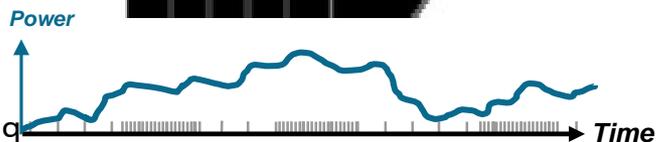
DDR
制御

メモリ
制御

DDR4

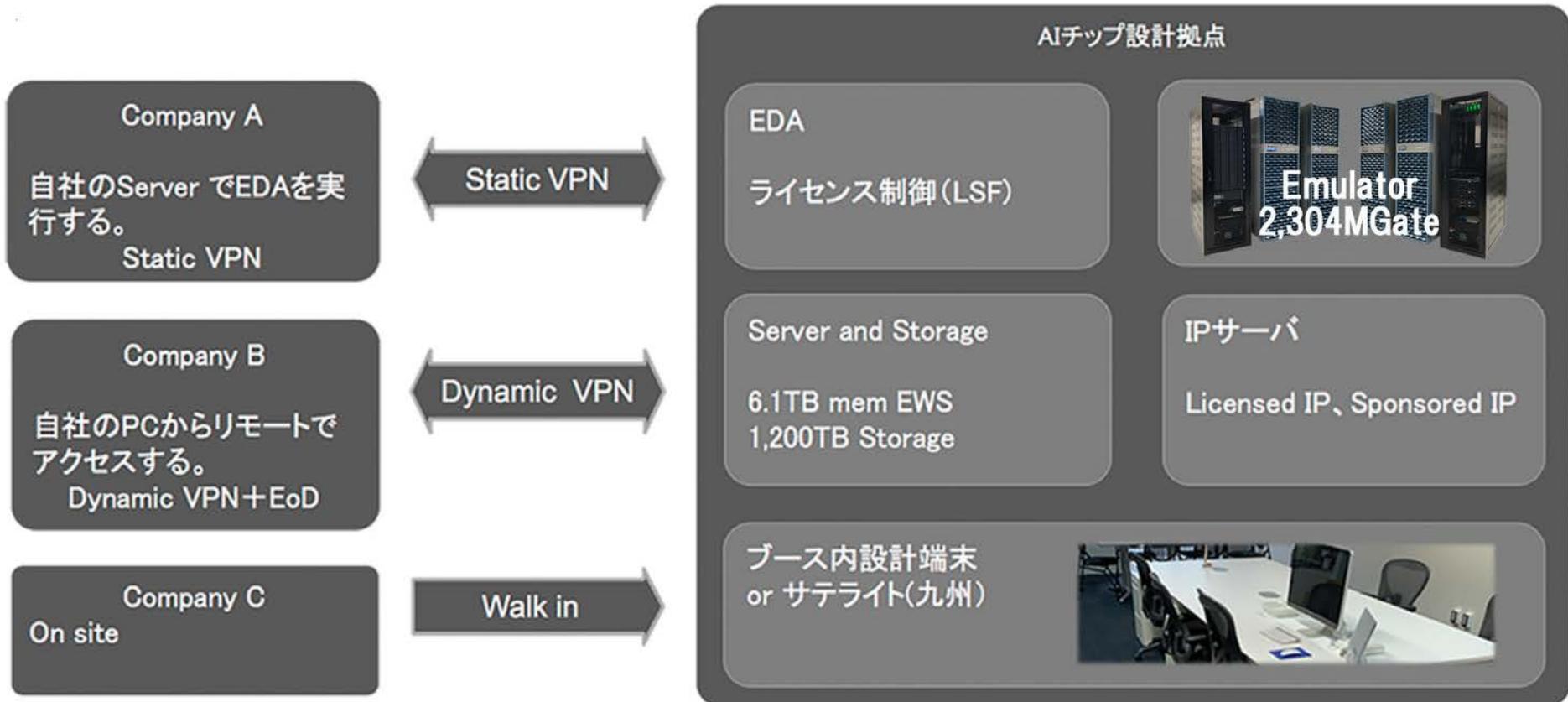
FLASH

メモリモデル



拠点利用形態

- ✓ 企業毎の設計環境に応じた拠点利用形態を整備し、中小・ベンチャー企業群が使い易い拠点を目指す



AIチップ設計拠点フォーラム

- ✓ AIチップ、次世代コンピューティング、LSI設計などに関する技術情報を共有し、議論する場を提供
- ✓ 月1回のペースで開催(2019/5～)

第1回(5/17) アジェンダ

- 14:30-14:35
AIチップ設計拠点フォーラムについて
- 14:35-15:05
AIチップの研究動向 -ISSCC2019での状況-
- 15:05-15:35
AIチップの研究実例 -短ビット長学習アクセラレータ-
- 15:35-16:05
論理合成・検証技術 -ABCツール-
- 16:05-16:35
論理エミュレータ -Palladium Z1技術-
- 16:35-17:05
論理エミュレーションの実際
- 17:05-17:45
論理エミュレーション・検証技術を総括して
- 17:45-18:30
意見交換会

第2回(6/19) アジェンダ

- 13:30-13:35
AIチップ設計拠点フォーラムについて
- 13:35-14:05
2019 VLSI symposiumでのAIチップ研究動向
- 14:05-14:35
2019 VLSI symposiumでの注目講演
- 14:35-15:15
2019 Symposia on VLSI Technology & Circuitsの総括
- 15:15-15:30
休憩
- 15:30-16:00
International Conference on Machine Learningにおける研究動向
- 16:00-16:30
高位合成ツール -Stratusの技術-
- 16:30-17:00
高位合成技術について

拠点ホームページ・拠点コンタクト先

<http://www.ai-chip-design-lab.org>

AIチップ設計拠点事務局

- TEL: 03-5841-8460
- email: aidl-ml@aist.go.jp
- 住所: 〒113-0032
東京都文京区弥生2-11-16武田先端知ビル203号室

ご清聴ありがとうございました